https://doi.org/10.1051/jnwpu/20203820351

基于FPGA与STM32的多通道数据采集系统

张月, 陶林伟

(西北工业大学 航海学院, 陕西 西安　710072)

摘　要:为了实现对水声信号的采集与存储,并针对声呐系统水下接收系统对多通道、高精度、低功耗、小体积的技术要求,设计了一种基于FPGA和STM32的工作通道数量和采样频率可变的多通道信号采集存储系统。该系统采用8块8通道24 bit高动态范围的Δ-Σ型ADC芯片ADS1278对多路模拟信号进行同步采集. FPGA作为采集时序及逻辑控制,读取并整理ADC芯片数据,写入内部一位大容量FIFO,并根据FIFO在实际应用中的特性增加相应的操作。SMT32单片机通过与FPGA的高速SPI接口,读取FIFO数据并检测数据检验位,最终将数据写入大容量SD卡中。经实验测试,该系统具有稳定可靠、配置方便、低功耗等特点,可以保证多通道数据的串行传输、存储准确无误。最多可同时对64路模拟信号进行实时采集存储,最高采样率20 kHz,系统总功率约为3 W,数据率最高可达100 Mb/s,完全满足水声采集系统的需求。

关　键　词:数据采集;多通道;高精度;FPGA;STM32

中图分类号:TN911　　**文献标志码:**A　　**文章编号:**1000-2758(2020)02-0351-08

水声信号主要有声呐信号、水下目标的回波信号、目标舰船的辐射噪声和海洋噪声信号等。在水声领域中,要实现对水下目标探测、定位以及水下目标通信,就需要对水声信号进行分析与研究。很多研究都需要长时间、高精度的获取声波信息,因此声信号采集系统的性能将直接影响到处理结果。现有的声学基阵常采用多元阵,基阵同时输出多路信号。这就需要设计一种多路同步的高精度信号采集存储系统来获取所需要的声波信息。目前已有的水声信号采集系统采样精度多为12,16,18 bit[1-6],可同步采集的通道数量多为固定的8,12,16路[7-13]。但是随着水声技术的不断发展,对水声信号采集系统也提出了更高的要求。例如系统功耗要足够低以维持超长时间的连续采集、可同步采集的通道数量要足够多、采集精度要足够高等。针对这些情况,设计了满足上述需求的信号采集系统,该系统功耗低至可维持长达一周的连续采集,可同步采集的通道数量多至64路,采样精度22 bit,配置方便可以随时修改采样频率与采样通道数量,且稳定可靠,可实现长时间连续稳定的多通道高精度信号采集和高速数据存储。

1　系统基本架构及原理

采集系统主要由信号调理电路、数据采集模块、控制模块、SD卡等部分组成,系统硬件结构框图如图1所示。

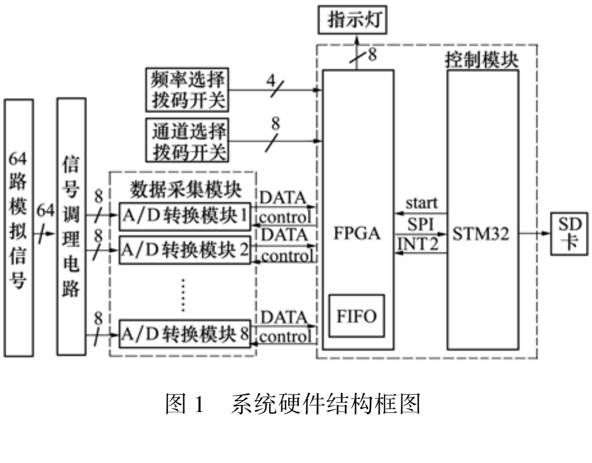


图1　系统硬件结构框图

多路模拟信号进入系统,先经过放大滤波等信

收稿日期:2019-03-08

作者简介:张月(1995—),女,西北工业大学硕士研究生,主要从事信号处理算法硬件实现研究。

号调理,随后进入数据采集模块进行数模转换,接着经过 FPGA 内部的缓冲区,最终由 STM32 将其写入 SD 存储卡。频率选择拨码开关可选择当前系统的采样频率,通道选择拨码开关用来配置采集通道个数,开关控制 8 个 A/D 转换模块是否开启,并使对应的通道工作指示灯闪烁。

信号调理电路的作用主要是对待采集信号进行放大、滤波等操作使其转换成 A/D 芯片输入电压范围内的信号。

数据采集模块含有 8 块 TI 公司的 8 通道 24 位高精度模数转换模块 ADS1278,共 64 路数据采集通道,可实现最高 20 kHz 的系统采样频率。ADS1278 根据数字输入管脚 MODE[1∶0]与 FORMAT[2∶0]的状态配置工作模式与接口协议。在本系统中,MODE[1∶0]=10,FORMAT[2∶0]=001。此时,系统为低功耗模式,系统最大采样率为 52.734 kHz,接口协议为 SPI 协议,数据输出模式为 TDM(分时复用)。TDM 模式指所有通道数据从单个管脚(DOUT1)输出,1 通道数据先输出,8 通道数据最后输出,所有通道数据均是高位先出,采用 TDM 模式的好处是可以减少系统硬件之间的连线,缩小版卡面积,其工作时序图如图 2 所示。

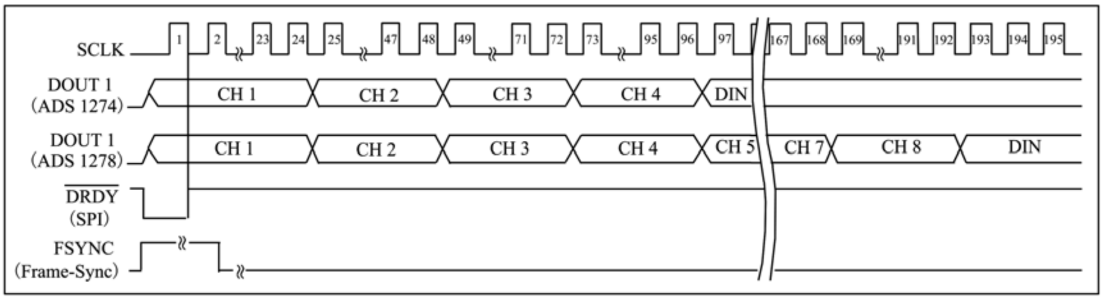


图 2　ADS1278 的 TDM 模式工作时序图

另外根据数据手册可以使 A/D 模块中工作时钟 CLK 与数据输出时钟 SCLK 共用同一个时钟信号,8 个 A/D 模块共用同步信号(SYNC)。这样的设计在满足系统正常工作的情况下,占用 I/O 端口数量少,减少硬件连接的复杂程度。A/D 与 FPGA 连接方式如图 3 所示。

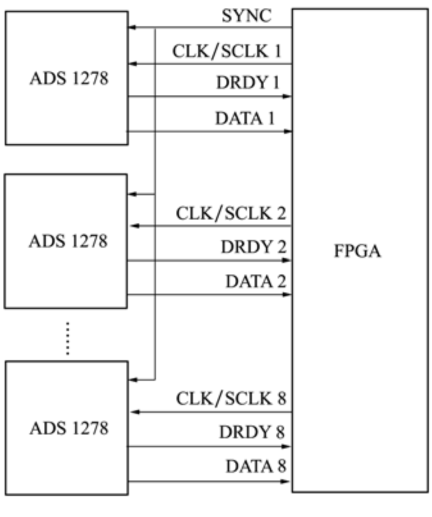


图 3　A/D 与 FPGA 连接方式

中央控制模块由 FPGA 与 STM32 共同组成。FPGA 选用英特尔公司 CycloneIV E 系列的 EP4CE10F22I7N; STM32 则选用 TI 公司的 STM32H743。FPGA 根据频率选择拨码开关状态确定系统工作频率,根据通道选择拨码开关的状态判断开启的 A/D 转换模块,为其提供控制信号并使其对应的指示灯闪烁。在每个采样周期中 FPGA 读取 A/D 量化后的数据并将其按通道顺序写入内部的一位 FIFO 进行缓存。每写满一帧(512×24 bit)数据,向 STM32 发出中断信号 INT2。STM32 检测到中断信号之后通过 SPI 总线(rd_clk 与 data_out)读取 FPGA 缓冲区中的数据,然后写入大容量 SD 存储卡中。STM32 与 FPGA 之间有多种数据传输方式以减少硬件连线。本系统采样串行数据传输方式,在 64 通道同时工作并且采用率为 20 kHz 时,串行接口的数据量为 100 Mb/s。FPGA 与 STM32 连接方式如图 4 所示。

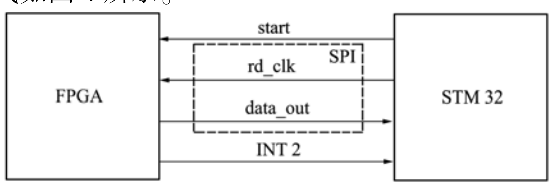


图 4　FPGA 与 STM32 连接方式图

SD 存储卡卡具有小巧轻便、存储容量大、传输数据快和数据安全性高等优点。选用支持 SD3.0 协议的 SDXC 卡作为系统的存储卡。

2　FPGA 关键逻辑实现

FPGA 是多通道采集存储系统的关键,负责为 A/D 模块提供控制信号、读取 A/D 转换模块的输出信号、将信号存入 FIFO 等。FPGA 内部逻辑框图如图 5 所示。

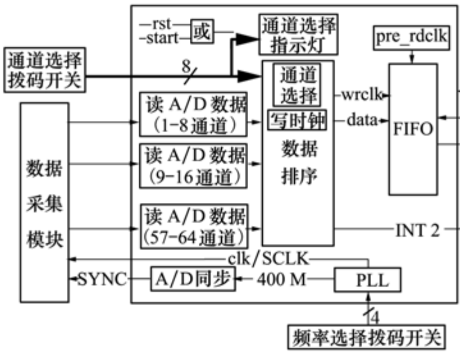


图 5　FPGA 内部逻辑框图

锁相环 PLL 倍频晶振时钟至 400M 作为 FPGA 内部工作时钟。另外,由数据手册可知 ADS1278 的采样频率为其工作时钟频率的 1/512$\left(\frac{f_{clk}}{f_{data}}=512\right)$。因此 PLL 将 400M 时钟分频到不同频率上作为 A/D 的时钟信号 CLK。设置频率选择拨码开关以控制分频系数,可实现 5,10,15,20 kHz 4 种采样频率方便切换。例如,要配置采样频率 20 kHz,则工作时钟应为 $f_{clk}=20\ \text{kHz}\times 512=10.24\ \text{MHz}$。

A/D 同步模块为系统数据采集模块中的 A/D 芯片提供同步信号 SYNC。由数据手册可知同步信号 SYNC 的上升沿用以同步所有正在工作的 A/D 芯片。因此该模块将仅在上电后输出一个脉冲其余时间均保持低电平输出。

通道选择拨码开关可控制 A/D 芯片是否工作。拨码开关与 A/D 芯片一一对应,当开关开启时,FPGA 向对应的 A/D 提供 CLK 信号,此时 A/D 芯片工作;开关关闭时,FPGA 停止向对应的 A/D 提供 CLK 信号,则 A/D 芯片停止工作。通道选择指示灯模块根据开关的状态使对应的指示灯闪烁。

读 A/D 数据模块读取一片 A/D 采样芯片转换完成的数据。在每个采样周期中,当 A/D 芯片给出采样完成标志 DRDY 后,每当 CLK 上升沿来临 FPGA 读入一位数据,将其写入 24 位寄存器变量 data_buffer 的最低位并左移一位。每读满 24 位也就是一个通道的数值,将其输出至数据排序模块等待排序。重复此过程直至读完 8 个通道的数据,此时给出完成标志位 get_done 并进入等待模式直至下一个 DRDY 信号来临。

数据排序模块在每个采样周期中会根据通道选择拨码开关的状态判断正在工作的 A/D 模块。在收到所有读 A/D 模块的完成标志位后产生 FIFO 的写时钟信号。将这一采样周期内转换完成的数据按通道标号由小至大的顺序写入 FIFO,没有工作的通道跳过。

FIFO 是为增加数据传输效率、处理大量数据流、匹配具有不同传输率的系统而广泛使用存储器。本系统中使用深度为 32 764 bit 的 1 位异步 FIFO 来作为数据缓冲。将 FIFO 的写使能 wrreq 和读使能 rdreq 端口始终拉高,仅通过控制读时钟 rdclk 和写时钟 wrclk 来控制 FIFO 数据的读写。每个写时钟上升沿来临就向 FIFO 中写入一位数据,当打开全部通道、采样频率 20 kHz 时,每个采样周期为 50 μs,输出数据时钟周期为$\frac{1}{10.24\ \text{MHz}}\approx 97.66$ ns,每块 A/D 每周期输出数据所占用的时长为 97.66×24×8 = 18 750 ns = 18.75 μs,剩余时长约 31.25 μs。在 31.25 μs 时间内要将 8 块 A/D 的数据写入 FIFO,写时钟频率最低 50 MHz。当向 FIFO 中写满一帧数据(24×512 bit)后,产生中断信号 INT2,STM32 接收到中断信号,以 50M 频率产生 12 288(24×512)个读时钟信号快速读取 FIFO 中的数据,读写互不影响。这样在系统运行过程中 FIFO 不会出现被写满或读空的状态,因此不会造成数据丢失或重复读取。并且这种方式避免了对异步 FIFO 空标志或半满标志的判断,逻辑简单实现起来方便可靠,系统可以长时间稳定的运行。

FPGA 的复位由外部按键 rst 及 STM32 提供的 start 信号共同控制。复位时 FPGA 内部 FIFO 及计数器清空、其余模块恢复初始状态。

pre_rdclk 模块是根据异步 FIFO 的特性和其在实际应用中的情况而设置的。pre_rdclk 模块在中断信号 INT2 发出之后,读时钟 rdclk 来临之前,产生 3 个时钟周期的脉冲信号至 FIFO 的读时钟引脚从而保证 rdclk 的每一个上升沿都可以读取有效数据。

3　单片机工作流程

单片机作为 SD 存储卡的控制芯片,在系统中起着重要的作用。其外围电路框图如图 6 所示,与 STM32 相连的器件有 FPGA、SD 存储卡、复位按键 rst、工作按键 key。

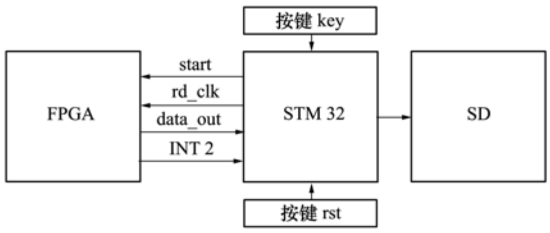


图 6　STM32 外围电路框图

系统上电后首先初始化单片机并延时 100 ms 等待系统稳定,随后通过 start 管脚使 FPGA 处于复位状态并关闭单片机中的中断响应,接着初始化 SD 存储卡及其文件系统、创建文件并延时 2 s,然后使能 FPGA 并开启中断响应,此时系统准备就绪。单片机工作流程图如图 7 所示。

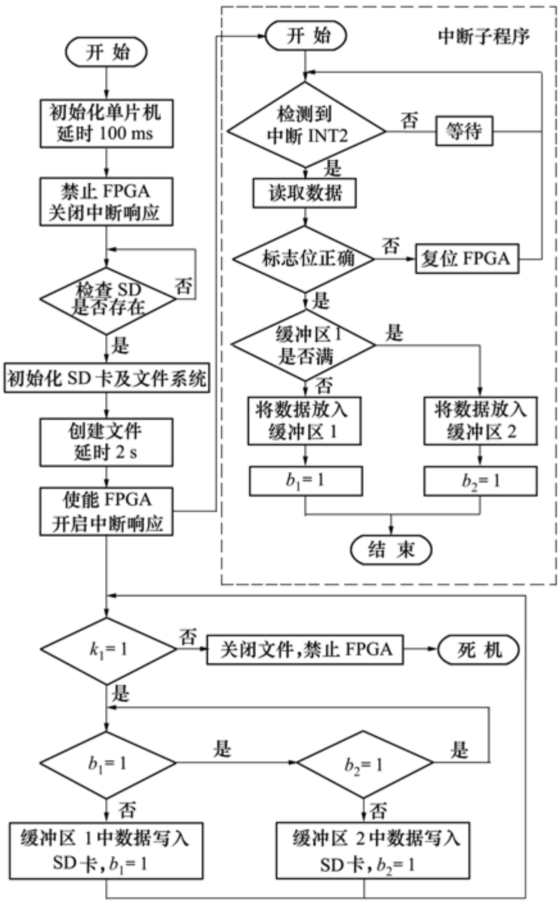


图 7　单片机工作流程图

中断子程序一旦检测到中断信号 INT2,立即从 FPGA 中读取一帧数据,判断数据标志位并将其存入缓冲区。单片机中设置 2 个 64 k 大小的缓冲区,数据轮流存入缓冲区 1 和缓冲区 2,当缓冲区 1 满,标志位 $b_1 = 1$,数据开始存入缓冲区 2;当缓冲区 2 满,标志位 $b_2 = 1$,数据开始存入缓冲区 1。双缓冲区与单缓冲区相比更具优势,避免了在缓冲区数据还未写入 SD 卡时,新的一帧数据来临覆盖之前的数据,造成 SD 卡存储错误的情况。数据进入缓冲区的速率为 50 Mbit/s,采用四线模式写入 SD 卡,写入时钟速度 12.5M 即可满足要求。为给初始化、写命令等其他操作预留时间,SD 卡时钟取 50M。

主程序在工作开关 key 开启之后,检测到 $b_1 = 1$,将缓冲区 1 中的数据写入 SD 存储卡并将 b_1 置 0;检测到 $b_2 = 1$,将缓冲区 2 中的数据写入 SD 存储卡并将 b_2 置 0。由于采样数据率小于 SD 卡写入速率,因此不存在 2 个缓冲区同时满的情况。

4　系统分析与实验

为测试系统的性能以及说明一些关键性参数的选择依据。在实验室搭建采集系统并进行实验。

4.1　关于 FIFO 的实际应用

将写入 FIFO 的数据设置为固定数,读取数据,观察 FPGA 与 STM32 的 SPI 接口的时钟数据波形,发现 SPI 接口的数据总是比时钟延迟 2 个时钟周期。查看数据手册,发现这种现象是由 FIFO 的特性决定的。通常情况下,向 FIFO 中写数据时,当写使能为高,写时钟的第一个上升沿,数据就可以写入 FIFO。但是需要特别注意的是,从 FIFO 中读取数据时,当读使能为高,读时钟的第二个周期之后才有有效数据输出。因此设计了 pre_rdclk 模块,pre_rdclk 模块将在 rdclk 信号来临之前产生 2 个时钟周期的脉冲信号。

查看写入 SD 卡的数据却发现与实际固定数不符,进一步观察发现 SD 卡中的数据与原数据发生错位。经过分析可知,FPGA 芯片特性决定了其内部从接收信号到做出反应需要一定的(本文选用的 EP4CE10F22I7N 需要约 7 ns)应答时间,因此在收到 rdclk 的上升沿与 FIFO 输出数据之间会有一个短暂的时间延迟。但是 STM32 在 rdclk 上升沿时就已经读取数据。此时 STM32 读取的数据为上一个时钟周期输出的数据,这就造成了读数据错位。因此

在 pre_rdclk 模块中再增加一个时钟周期的脉冲信号以保证在 rdclk 的每个上升沿 STM32 均可以读取正确有效的数据(pre_rdclk 模块最终产生 3 个时钟周期的脉冲信号)。实验中,当固定数为 0X7FFFFF 时,STM32 与 FPGA 的 SPI 接口时钟数据图如图 8 所示。

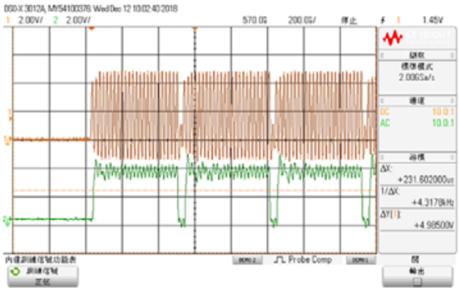
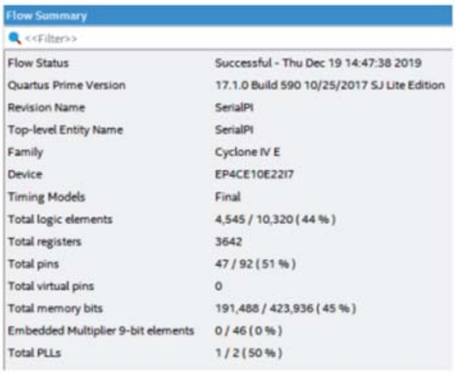


图 8　FPGA 与 STM32 的 SPI 接口时钟数据图

4.2　系统资源占有率

FPGA 完成逻辑占用的各项资源如图 9 所示。除未使用乘法器以外其余资源均使用 50% 左右。逻辑资源占用情况较为合理,留有充足的余量支持 SignalTap 调试以及今后功能扩充。



Flow Summary

<<Filter>>

Flow Status	Successful - Thu Dec 19 14:47:38 2019
Quartus Prime Version	17.1.0 Build 590 10/25/2017 SJ Lite Edition
Revision Name	SerialPI
Top-level Entity Name	SerialPI
Family	Cyclone IV E
Device	EP4CE10E22I7
Timing Models	Final
Total logic elements	4,545 / 10,320 (44 %)
Total registers	3642
Total pins	47 / 92 (51 %)
Total virtual pins	0
Total memory bits	191,488 / 423,936 (45 %)
Embedded Multiplier 9-bit elements	0 / 46 (0 %)
Total PLLs	1 / 2 (50 %)

图 9　FPGA 资源占有率

4.3　系统功耗分析

对系统各部分功耗进行分析。系统使用的单片机型号 STM32H743,其工作时内部时钟 300 MHz。在外部设备全部工作情况下工作电流 170 mA,在外部设备全部禁用情况下工作电流 72 mA。本系统中仅使用 SPI 接口和 SD 卡接口。估计电流约为 85 mA,因此功率约为 283 mW。

使用功耗分析工具(power play early power estimator)对 FPGA 的功耗进行分析。编译文件后生成 .csv文件。在功耗分析工具中导入即可自动计算 FPGA 功耗。本系统 FPGA 功耗为 0.092 W。

每个通道 A/D 转换芯片功耗约 30 mW,64 通道同时工作时总功耗约为 1.920 W。

系统中电压转换芯片 MP2359 效率 92%,功耗约为 0.326 W。单路模拟电路所用运放功率消耗估计值如表 1 所示。分别为 0.002 和 0.1 W。计算可得系统总功率约为 3.389 W。

表 1　系统芯片功耗

芯片	功耗/W
ADA4084	0.002
ADA4941	0.010

在系统上电后工作后进行测量,供电电压为 12 V。仅测量数字版时电流 0.085 A,功率约 1.02 W。系统满负荷工作时测得电流 0.340 A,总功耗4.08 W。比计算多出的部分值估计为 PCB 传输线损耗及其余电子器件工作功率。

4.4　系统的稳定性优化

在测试中发现,系统长时间连续工作(十几小时)后,偶尔会出现数据错位。分析可知在单路 FIFO 中,数据从 FPGA 读入到单片机时,总线速度最高可达 100 Mb/s,数据快速读写,偶尔丢失或者重复读取一位数据,导致后续所有数据错位。本文设计了如下解决方案,在 FPGA 中将每个通道 24 位采样数据的最低两位置为 1,STM32 每读取一帧数据,检测第一个 24 位数据的末 2 位。若全为 1 则系统正常运行,若不全为 1 则表明数据出现错位,此时 STM32 将 FPGA 的 start 管脚置低,FPGA 复位,FIFO 被清空,其余模块恢复初始状态。延时 10 ms 后 FPGA 重新开始工作。

采用上述方法使得实际的采样精度只有 22 位。但由于 24 位与 22 位 A/D 采样的精度均在纳伏(nV)级($\frac{1}{2^{24}}\approx 59.6\times 10^{-9}$ V;$\frac{1}{2^{22}}=238\times 10^{-9}$ V)而电路板自噪声在微伏(μV)级,因此舍弃 2 位并不会对数据精度造成过大的影响。这种牺牲很小的数据精度,换取系统稳定的工作的方法,相比于其他的错误检测方法,具有逻辑简单、不影响采集系统工作速度的优点,并且不会因为在有效数据之间插入额外的数据而给后期的分析计算增加工作量。修改过后使系统在上述配置下连续工作 24 小时,查看数据,没有发生错位或乱码。系统稳定可靠,可以实现长时间连续采集。

4.5　系统测试结果

开启全部 64 通道，设置 A/D 模块采样频率为 20 kHz。通过函数发生器向 1 至 63 通道输入频率 500 Hz，峰峰值 1.0 V 的正弦信号，第 64 通道短路。系统运行一段时间后，从 SD 卡中导出数据并利用 Matlab 绘制 1 通道至 64 通道接收到的信号的时域波形图，如图 10 所示。

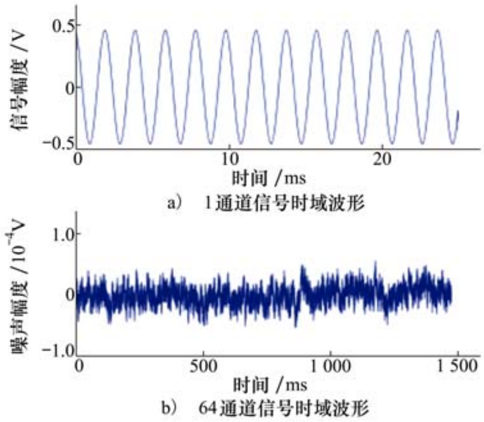


图 10　1 通道与 64 通道信号时域波形图

观察可得 1 通道至 63 通道的信号时域波形相同，均为无失真正弦信号，峰峰值略小于 1.0 V，分析原因可能是模拟调理通路的衰减。第 64 通道是采集的系统自噪声，经过计算，其噪声均方差为 14.3 μV，表明采集系统的具有很小的底噪，可以保证采集信号的信噪比。1 通道与 64 通道的频谱图，如图 11 所示。

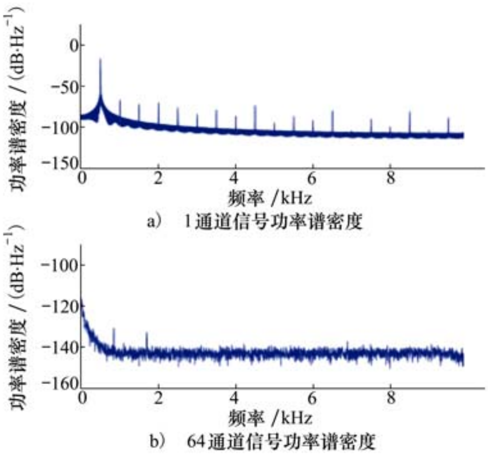


图 11　1 通道与 64 通道信号频谱图

从图 11 中可以看出，1 通道采集的正弦信号频谱峰值横坐标为 500 Hz，与输入信号的频率一致。在其余频段上分布着较小的波纹。64 通道采集的有色噪声在频谱上，具有低频幅度大，高频幅度小的特点，符合电子电路低频噪声幅度大的特性。

另外经验证系统拨码开关、指示灯等均正常工作。系统可以正常运行。系统模拟板和数字板如图 12 所示。系统实物图如图 13 所示。

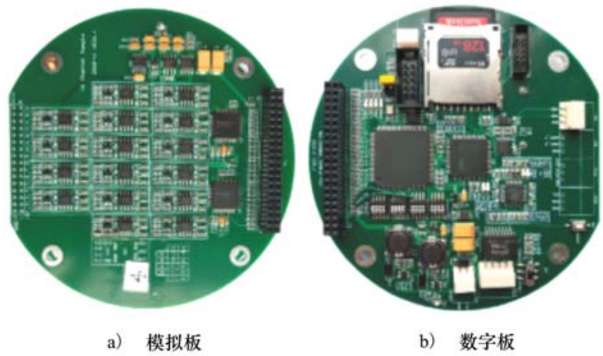


图 12　系统模拟板和数字板实物图

图 13　系统实物图

4.6　与类似系统对比

信号采集系统应用十分广泛，有许多科研机构和公司均推出了相关产品。分析可知各类采样精度多为 12，16，18 bit，可同步采集的通道数量多为固定的 8，12，16 路。当然也有公司推出了性能非常好的采集系统。例如，西安虹陆洋机电设备有限公司推出一款 96 通道信号采集系统，最大采样率96 kHz，存储介质为 4 张 SD 存储卡，系统功耗20 W，除去电池，电路板体积约 ϕ124 mm×450 mm。

若将本系统升级为 96 通道 96 kHz 采样系统，与之进行对比。按照本系统构成，需增加 2 块采集板，系统体积 ϕ100 mm×150 mm。与之相比通道数量相同的情况下体积较小。估算升级后系统功耗。

将 ADS1278 配置为高速模式,功耗 70 mW/h。估算控制芯片功耗为数据手册给出的最大功耗,STM32 为 2.772W,FPGA 为 1.5 W。实际中,加上 PCB 传输线损耗以及其余器件功耗。估算系统总功率约为 15 W。因此,本系统当前性能与之相比有差距但依然具有自己的优点。

5 结　论

本文设计了基于 FPGA 与 STM32 的工作通道数量和采样频率可变的多通道信号采集存储系统。充分利用了 FPGA 与 STM32 器件的特点,并综合分析多方面影响因素,针对 FIFO 的特性进行相应操作,为提高系统稳定性增加数据校验步骤。使系统各部分相互配合,经过仿真验证、实际测试,得到了稳定可靠、低功耗、低成本的采集存储系统。整个系统具有很强的通用性,可以广泛应用于各种多路的信号采集系统中。

参考文献:

[1] 张云鹏. 声纳浮标数据采集系统的设计与实现[D]. 哈尔滨:哈尔滨工程大学,2017
ZHANG Yunpeng. Design and Realization of the Sonobuoy Data Acquisition System[D]. Harbin: Harbin Engineering University, 2017 (in Chinese)

[2] 高正杨. 多通道水声信号采集系统设计与实现[D]. 哈尔滨:哈尔滨工程大学,2015
GAO Zhengyang. Design and Implementation of Multi-Channel Acoustic Signal Acquisition System[D]. Harbin: Harbin Engineering University, 2015 (in Chinese)

[3] 李雷. 基于 FPGA 的水声基阵信号采集与传输技术[D]. 哈尔滨:哈尔滨工程大学,2015
LI Lei. Underwater Acoustic Array Signal Acquisition and Transmission Technology Based on FPGA[D]. Harbin: Harbin Engineering University, 2015 (in Chinese)

[4] 陈晓辉. 水声信号采集记录仪设计与实现[D]. 哈尔滨:哈尔滨工程大学,2015
CHEN Xiaohui. Design and Implementation of Underwater Acoustic Signal Acquisition Recording Instruments[D]. Harbin: Harbin Engineering University, 2015 (in Chinese)

[5] 黄紧德. 多路完全同步采样的声信号采集系统的设计与实现[J]. 软件,2013,34(2):17-21
HUANG Jinde. Design and Implementation of Multiple Fully Synchronized Sampling Acoustic Signal Acquisition System[J]. Software, 2013, 34(2): 17-21 (in Chinese)

[6] 刘建明. 高精度水声信号采集回放模块电路的设计与实现[D]. 成都:电子科技大学,2012
LIU Jianming. The Design and Implementation of High-Precision Underwater Acoustic[D]. Chengdu: University of Electronic Science and Technology of China, 2012 (in Chinese)

[7] 张耀政,王文廉,张志杰. 基于单路 FIFO 的多通道同步采集存储系统的研究[J]. 电力系统保护与控制,2010,38(8):100-104
ZHANG Yaozheng, WANG Wenlian, ZHANG Zhijie. Study on Multi-Channel Synchronization Acquisition and Storage System Based on One FIFO[J]. Power System Protection and Control, 2010, 38(8): 100-104 (in Chinese)

[8] 洪蕾,钟睿. 船舶航行信号数据多通道并行采集系统设计[J]. 舰船科学技术,2018,40(14):190-192
HONG Lei, ZHONG Rui. Design of Multi-Channel Parallel Acquisition System for Ship Navigation Signal Data[J]. Ship Science and Technology,2018,40(14):190-192 (in Chinese)

[9] 刘楠. 水声信号处理系统的应用与研究[J]. 信息通信,2018(6):59-60
LIU Nan. Application and Research of Underwater Acoustic Signal Processing System[J]. Information & Communications,2018(6):59-60 (in Chinese)

[10] 马雪. 基于 FPGA 嵌入式设计的水声信号采集系统[J]. 舰船电子工程,2017,37(3):135-139
MA Xue. Underwater Acoustic Signal Acquisition System Based on FPGA Embedded Design[J]. Ship Electronic Engineering, 2017,37(3):135-139 (in Chinese)

[11] 谢旭良,刘纪元,陈新华. 基于 DSP 和 FPGA 的多通道水声信号采集[J]. 网络新媒体技术,2016,5(4):30-35

XIE Xuliang, LIU Jiyuan, CHEN Xinhua. Multi-Channel Underwater Acoustic Signal Acquisition Based on DSP and FPGA[J]. Journal of Network New Media, 2016, 5(4):30-35 (in Chinese)

[12] 项顼. 水声信号采集模块研制[D]. 青岛:中国海洋大学,2015

XIANG Xu. The Sound Signal Acquisition Module Design of Underwater Acoustic Communication[D]. Qingdao: Ocean University of China, 2015 (in Chinese)

[13] 苏军,尚凡. 四路同步水声信号记录仪设计与实现[J]. 电子世界,2013(17): 147-148

SU Jun, SHANG Fan. Design and Implementation of Four-Channel Synchronous Underwater Acoustic Signal Recorder[J]. Electronics World, 2013(17): 147-148 (in Chinese)

Multi-Channel Data Acquisition System Based on FPGA and STM32

ZHANG Yue, TAO Linwei

(School of Marine Science and Technology, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: In order to realize the acquisition and storage of underwater acoustic signals for aiming at the requirements of multi-channel, low power consumption and small volume for underwater receiver extension of sonar system, a multi-channel signal acquisition and storage system based on FPGA and STM32 with variable number of working channels and sampling frequency is designed, in which the system is consisted of 8 pieces, 8 channel and 24 bits high dynamic range Δ-Σ ADS1278 ADC chip to synchronous multi-channel analog signal acquisition. FPGA, as the acquisition sequence and logic control, reads and collates the ADC chip data and writes it into the internal high-capacity FIFO, and adds corresponding operations according to the characteristics of FIFO in an application. SMT32 single-chip microcomputer reads the FIFO data through the high-speed SPI interface with FPGA and writes the multi-channel data into the high-capacity SD card. The testing results have verified that the system has characteristics such as stable and reliable, easy configuration, low power consumption, can guarantee the multi-channel data serial transmission, storage, accurate, up to 64 analog signals at the same time the real-time collection and storage, top 20 kHz sampling rate, the system total power of the system of about 3W, data rates up to 100 Mb/s, fully meet the needs of underwater sound acquisition system.

Keywords: data acquisition; multi-channel; high precision; FPGA; STM32